

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PACKAGE OF INTEGRATED CIRCUIT

Patent Number: JP59227143
Publication date: 1984-12-20
Inventor(s): NISHIKAWA SEIICHI
Applicant(s): DAINIPPON INSATSU KK
Requested Patent: JP59227143
Application Number: JP19830101317 19830607
Priority Number(s):
IPC Classification: H01L23/12 ; H01L23/28 ; H01L23/48
EC Classification:
Equivalents:

Abstract

PURPOSE:To contrive improvement of the mounting density by arranging the lead part of the lead frame on either of the top surface or the bottom surface of the resin sealed body.

CONSTITUTION:The leads 2b are arranged so as to surround a chip bonding part 2a located in the center of the lead frame and one of the leads is formed to be connected to said bonding part 2a. In the center of each lead 2b, a terminal 2c projects vertically to the plane of the frame. After resin sealing 3, the terminal is exposed out of the resin surface and cut by the line CL thereby completing the operation. The exposed part of the lead is subjected to Au gilding or two- layer gilding of Ni and Au and the lead frame and the IC chip are connected by wire interconnection or gang interconnection. This constitution offers the IC suitable for incorporation of IC card especially. By using the projecting shape of the lead 2b, reinforcement of prevention of detachment and the device having high mounting density can be obtained.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開

昭59-227143

⑤ Int. Cl.³
H 01 L 23/12
23/28
23/48

識別記号

厅内整理番号
7357-5F
7738-5F
7357-5F

③公開 昭和59年(1984)12月20日

発明の数 1
審査請求 未請求

(全 6 頁)

④集積回路パッケージ

②特 願 昭58-101317
③出 願 昭58(1983)6月7日
④発明者 西川誠一

小金井市貫井北町2-15-12

⑤出願人 大日本印刷株式会社
東京都新宿区市谷加賀町1丁目
12番地
⑥代理人 弁理士 猪股清 外3名

明細書のか當(内容に変更なし)

明細書

1. 発明の名称 集積回路パッケージ

2. 特許請求の範囲

1. リードフレームのリード部にICチップが接続された上で樹脂モールドが施され、次いで前記リードフレームの不要部分が切断されることにより構成される集積回路において、前記リードフレームのリード部を樹脂モールドの表面に露出させたことを特徴とする集積回路。
2. 特許請求の範囲第1項記載の集積回路において、前記リード露出部分は金メフキ層で被覆してなる集積回路。
3. 特許請求の範囲第1項記載の集積回路において、前記リード露出部分はニッケルメフキ層および金メフキ層の2層メフキ層で被覆してなる集積回路。
4. 特許請求の範囲第1項記載の集積回路において、前記リードフレームと前記ICチップとは

ワイヤーバンディングにより接続されてなる集積回路。

5. 特許請求の範囲第1項記載の集積回路において、前記リードフレームと前記ICチップとはワイヤーバンディングにより接続されてなる集積回路。

3. 発明の詳細な説明

本発明は集積回路パッケージに関する。

近年電子回路の代名詞的存在となつた集積回路は、半導体素子等により構成されたICチップ、このICチップの端子を外部に接続するため及び集積回路を機械的に支持するためのリード、ならびにICチップの制止およびICチップとリードとの接続部分の制止、さらに集積回路全体のハウジングとしてのパッケージからなつてゐる。

このパッケージには樹脂タイプのものとセラミックタイプのものがあり、まず樹脂タイプのものは第1回または第2回に示すような構造となつてゐる。第1回(a)、(b)のものはデュアルインライン

パッケージ(DIP)と呼ばれ、ICチップ1をリードフレーム2上に設置してICチップ1の端子とリードフレーム2のリードとをワイヤボンディングした上でICチップ1およびICチップ1とリードとの接続部分を樹脂モールド3により封止してなる。また第2図のものはフラントパッケージと呼ばれ、リードフレーム2のリードが平面内に引き出されている。

一方セラミックタイプのものは第3図(a), (b)に示すように、ICチップ1をセラミック基板4上に設置してICチップ1の端子をセラミック基板4の周縁に設けたメタライズ端子5にワイヤボンディングし蓋6を被せてなるものである。

これら樹脂タイプおよびセラミックタイプの集積回路はそれぞれ一長一短があるが、コスト的に見た場合には樹脂タイプのものが確かに利用しやすい。

しかしながら、樹脂タイプのものはリードが集積回路の側方にに出るため、いくつかの集積回路を所定面積域内に並置しようとする場合に実装密度

が上げられないという欠点がある。

本発明は上述の点を考慮してなされたもので、リードを正面、底面の少くとも一方に設けてなる樹脂モールド型集積回路パッケージを提供することである。

以下第4図乃至第11図を参照して本発明を実施例につき説明する。

第4図は本発明の集積回路に用いるリードフレームの一例を平面形状で示したものであり、中央部にICチップ1を設置するためのICチップマウント部2aが設けられ、このマウント部2aを取り除んでリード2bが8箇設けられている。リード2bの1つはマウント部2aに連絡されている。そして、各リード2bの中央部には端子2cが設けられている。この端子2cはリードフレーム2の平面に対し垂直方向に突出していて、板状樹脂モールド3が施された状態で樹脂表面から突出するようになつてている。

そして切断盤C1で切断されることにより1つの集積回路が出来上る。

第5図(a), (b)は本発明に係る集積回路パッケージの外観形状を示したもので、同図(a)はリード2bの樹脂モールド側方への突出部分を切断したもの、同図(b)は適当の長さだけリード2bを残したものを見している。これらに何れも外部回路等との接続を主として端子2cにより行うからリード2bの長さはせいぜい集積回路を固定するために必要な程度でよく、また固定を接着等の他の手段によつて行うことにより集積回路の実装密度を向上し得る。なお、リード2bを無根回路の固定に利用すれば剥離防止効果が得られる。

第6図(a), (b), (c)は第4図のリードフレームを用いて構成した本発明に係る集積回路の側断面形状を示したもので、同図(a)は端子2cが樹脂モールド3の樹脂表面から突出した例、同図(b)は端子2cが樹脂表面と同一面をなす場合、同図(c)は端子2cが樹脂表面より埋んでいる場合をそれぞれ示している。各場合とも端子2cの表面には金メッキ等を施しておくことが好ましい。

これら各場合ともICチップ1はリードフレー

ム2に対し端子2cと反対側に設けてある。これは、ICチップ1を端子2cと同一側に設けた場合、端子2cの突出寸法をICチップ1の高さよりも大としなければならず、それにはリードフレーム2の基厚をかなり大にする等の対策が必要なためである。したがつてマウント部2aをリード2bより一段下げる等のICチップ1の頂部がより低くなる手段を講じるか、あるいは端子2cをリードフレーム2とは別個に製作しリードフレーム2上に付着させる方法を採るすれば、ICチップ1と端子2cとをリードフレーム2の同一側に配しても差支えない。

第7図(d), (e)はリードフレーム2を折曲げ成形することにより端子2cを形成した場合の集積回路の側断面形状を示したもので、同図(d)が端子2cの突出したもの、同図(e)が端子2cが突出しないものを示している。

第8図(a), (b)は上述のワイヤボンディングと異なり、ギャンダムディングによりICチップ1とリード2bとを接続してなる集積回路の例を示

してなり、(a)の場合は端子2eが街路モールド3の表面から突出した例、(b)の場合は同一面をなす例である。表示しないが第6図(c)の例のように端子2eが表面より埋んだものも勿論可能である。

第9図(a), (b)はギャングボンディングによる第7図(a), (b)に相当する構造の断面形状を示したものであり、I Cチップ1がリード2bの一端に接続される外は第7図と同様である。

第10図(a), (b)は第9図(a), (b)の集積回路の平面形状を示したもので、リード2bの一端のI Cチップ1寄りの端部はI Cチップ1の端子4に位置合わせできるように端部同士が最近し且つ尖つており、

I Cチップ1の端子に直接接続される。そしてリード2bのパッケージから突出した部分は短く成形されている。

第11図(a), (b)は上述の集積回路をI Cカードすなわちプラスチックカードに集積回路を組込んだもので、例えば銀行の自動支払機等において使用されるものに組込んだ例を示している。上述の

第10図はプラスチックカード2の裏面(足側面)に同図(b)に示すように記される。そして組込用達を前面で示したのが同図(a)であり、組積回路10は接着剤等によりカード2の一方のオーバーレイ5に固定される。カード2は一对のセンターニア4, 4が貼り合わせたもの又は一枚のセンターニアに一对のオーバーレイ5, 5が貼り付けてなり、センターニア4とオーバーレイ5との間に印刷が施されている。カード2の全厚みは0.6~0.8mmであり、集積回路10はそれよりも薄く製作できるから、カード2の面と集積回路10の面を同一面とすることは容易である。

このカード2は所定のカード処理機に投入されると端子2eを介してカード処理機と集積回路との間での信号授受が行われ、カード処理される。

本発明は上述のように、集積回路の頂面等に端子を有するようにしたため、特にI Cカード組込みに適した集積回路が得られる。そして、このI Cカードの組込み時にリード2bが集積回路前面から突出したもの用いれば剥落防止のため

の補強が行われる。またカード以外に適用しても集積回路の実装密度を向上することができる。

4. 図面の簡単な説明

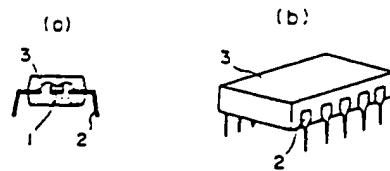
第1図(a), (b)および第2図は従来の表面タイプ集積回路の構造説明図、第3図(a), (b)は同じくセラミックタイプ集積回路の構造説明図、第4図は本発明に係る集積回路製作に用いるエフテンジで端子を設けたリードフレームの一例を示す平面図、第5図(a), (b)は本発明に係る集積回路の外観形状を示す図、第6図(a), (b), (c)は第4図のリードフレームを用いて構成した集積回路の断面構造を示す図、第7図(a), (b)は折曲げにより端子を形成したリードフレームによる集積回路の断面構造を示す図、第8図(a), (b)および第9図(a), (b)はギャングボンディングによる集積回路の断面構造を示す図、第10図(a), (b)はギャングボンディングによる集積回路の平面構造を示す図、第11図(a), (b)は本発明に係る集積回路をI Cカードに適用した場合の説明図である。

1…I Cチップ、2…リードフレーム、2a…
I Cチップマウント部、2b…リード、2e…端子、
3…街路モールド、4…セラミック基板、5…メ
タライズ電極、6…蓋、10…集積回路、20…カ
ード。

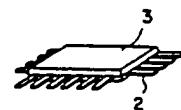
出願人代理人　藤　政　清

主回路構成(内容は省略なし)

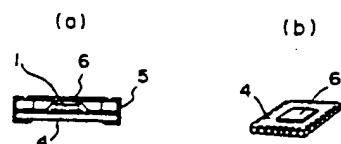
第1図



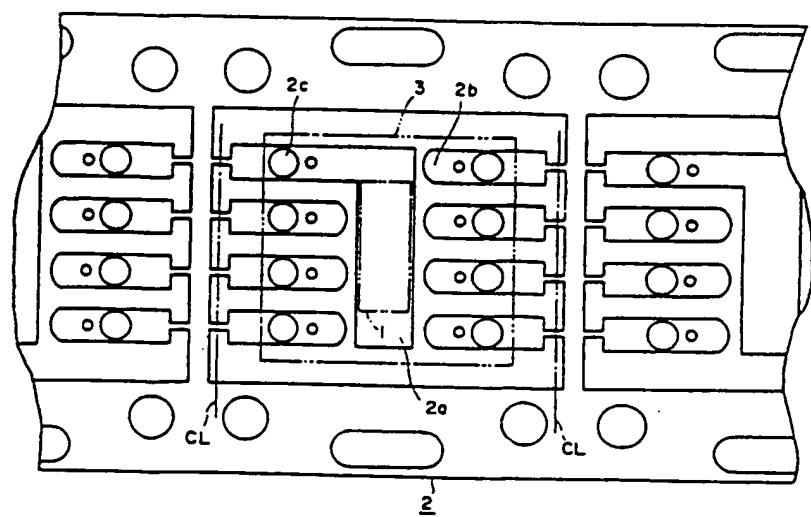
第2図



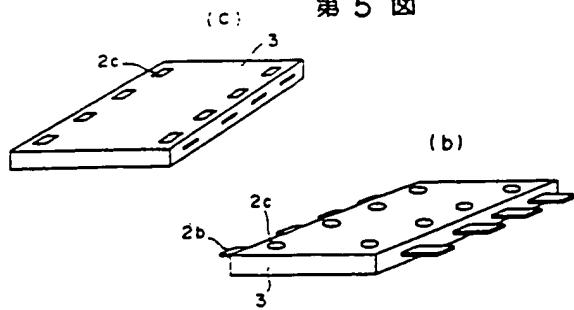
第3図



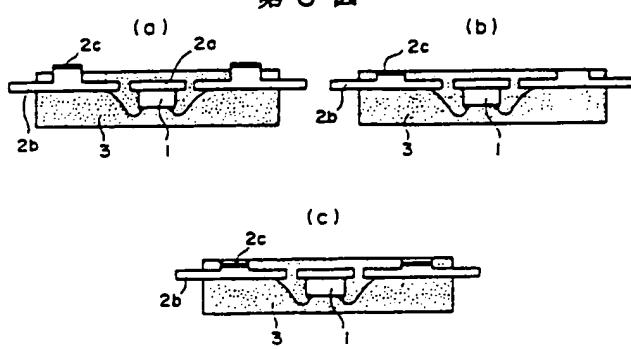
第4図



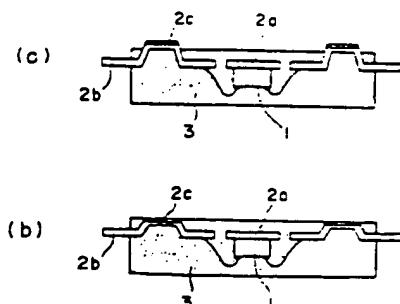
第5図



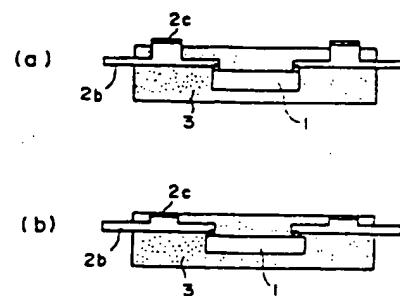
第6図



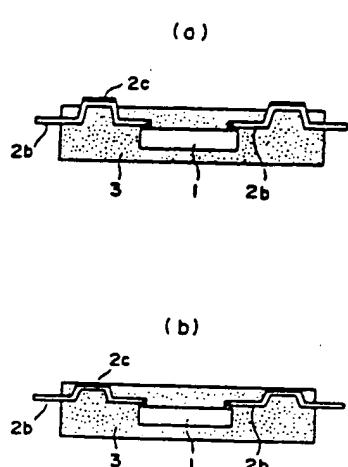
第7図



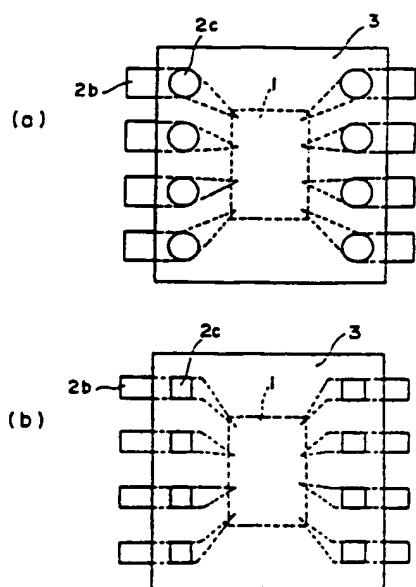
第8図



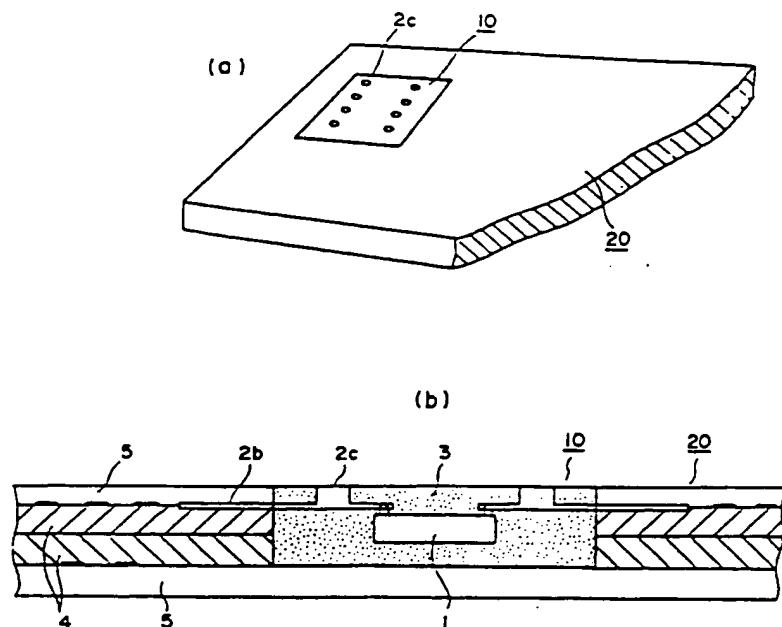
第9図



第10図



第11図



手続補正書
昭和59年7月7日

特許庁長官 石井和夫取

1. 事件の表示

昭和58年特許願 第101317号

2. 発明の名称

無段階回路パッケージ

3. 補正をする者

事件との関係 特許出願人

(389)大日本印刷株式会社

4. 代理人 (郵便番号100)
東京都千代田区丸の内三丁目2番3号
(電話東京(331)2321大代表)

4230 井端士郎 殿



5. 補正命令の日付

一月一日
(発送日 1984年 月 日)

6. 補正によりテルミンの件

7. 補正の対象

明細書および図面

8. 補正の内容

明細書および図面の序文(内容に変更なし)